

KOREAN PATENT ABSTRACTS

(11) Publication number:

1020020089425**A**(43) Date of publication of application:
29.11.2002

(21) Application number:

1020027013161

(71) Applicant:

LG ELECTRONICS INC.

(22) Date of filing:

01.10.2002

(72) Inventor:

**CHO, JANG HWAN
KANG, PIL SUN
KANG, SEONG HO
KIM, CHEOL U
LEE, EUNG GWAN
LEE, NAM GYU
RYU, JAE HWA**

(30) Priority:

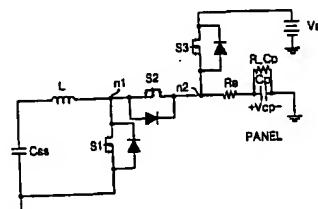
**09.11.2000 KR
1020000066327
08.11.2001 KR
1020010069588**

(51) Int. Cl

G09G 3/28**(54) ENERGY RECOVERING CIRCUIT WITH VOLTAGE BOOSTING FUNCTION AND ENERGY EFFICIENT METHOD USING THE SAME**

(57) Abstract:

PURPOSE: An energy recovering circuit and energy efficient method using the same is provided to increase energy recovery efficiency and shorten charging time of panel capacitor, while reducing number of switching elements and energy losses.



CONSTITUTION: An energy recovering circuit, comprises a voltage boosting circuit for boosting voltage component of energy recovered from a panel and re-supplying the boosted energy to the panel. The voltage boosting circuit includes a capacitor(C_{ss}) for accumulating the energy recovered from the panel; an inductor(L) for accumulating an electric current component of the energy from the capacitor; and a switching element($S1$) for switching a signal path between the capacitor and the inductor. The capacitor, inductor and the switching element are connected with each other so as to form a closed loop. The closed

loop is separated from the panel.

COPYRIGHT KIPO 2003

Legal Status

Date of final disposal of an application (20050615)

Patent registration number (1005157450000)

Date of registration (20050912)

Date of opposition against the grant of a patent (00000000)

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) . Int. Cl. 7
G09G 3/28

(11) 공개번호 특2002 - 0089425
(43) 공개일자 2002년 11월 29일

(21) 출원번호 10 - 2002 - 7013161
(22) 출원일자 2002년10월01일
번역문 제출일자 2002년10월01일
(86) 국제출원번호 PCT/KR2001/01915 (87) 국제공개번호 WO 2002/39419
(86) 국제출원출원일자 2001년11월09일 (87) 국제공개일자 2002년05월16일

(30) 우선권주장 1020000066327 2000년11월09일 대한민국(KR)
1020010069588 2001년11월08일 대한민국(KR)

(71) 출원인 주식회사 엘지이이
서울시영등포구여의도동20번지

(72) 발명자

조장환
 경상북도구미시형곡동삼우아파트922동203호
 이남규
 경상북도구미시공단동191-1엘지전자영상2공장
 김철우
 부산광역시해운대구반송2동78번지삼정그린코아802호
 강필순
 부산광역시해운대구반여2동1291-23018통5반
 이웅관
 대구광역시북구대현동240-174층
 류재화
 경상북도구미시도량2동114번지4주공아파트402동706호
 강성호
 대구광역시북구태전동442우방3차105동903호

(74) 대리인

김영호

심사청구 : 있음

(54) 승압기능을 가지는 에너지 회수회로와 이를 이용한 에너지 효율화 방법

요약

본 발명은 플라즈마 디스플레이 패널(Plasma Display Panel : 이하 "PDP라 한다)의 에너지 회수장치에 관한 것으로, 특히 패널로부터 회수된 에너지의 전압성분을 승압시켜 패널로 신속하게 재공급함으로써 패널 캐페시터의 충전시간을 줄임과 아울러 에너지 회수 효율을 높이도록 한 승압기능을 가지는 에너지 회수회로와 이를 이용한 에너지 효율화 방법에 관한 것이다. 또한, 본 발명은 필요한 소자의 수를 줄이도록 한 에너지 회수회로와 이를 이용한 에너지 효율화 방법에 관한 것이다.

본 발명은 패널로부터 회수된 에너지의 전압성분을 승압하여 전압성분이 승압되어진 에너지를 패널에 공급하기 위한 승압회로를 구비한다.

대표도
도 1

명세서

기술분야

본 발명은 플라즈마 디스플레이 패널(Plasma Display Panel : 이하 "PDP라 한다)의 에너지 회수장치에 관한 것으로, 특히 패널로부터 회수된 에너지의 전압성분을 승압시켜 패널로 신속하게 재공급함으로써 패널 캐페시터의 충전시간을 줄임과 아울러 에너지 회수 효율을 높이도록 한 승압기능을 가지는 에너지 회수회로와 이를 이용한 에너지 효율화 방법에 관한 것이다. 또한, 본 발명은 필요한 소자의 수를 줄이도록 한 에너지 회수회로와 이를 이용한 에너지 효율화 방법에 관한 것이다.

배경기술

PDP는 소비전력이 큰 것이 단점으로 지적되고 있다. 이러한 소비전력을 줄이기 위해서는 발광효율을 높임과 아울러 방전에 직접 관련이 없이 구동과정에서 발생되는 불필요한 에너지 소모를 최소화하여야 한다.

교류형 PDP는 전극을 유전체로 도포하여 유전체 표면에서 일어나는 표면 방전을 이용하고 있다. 이 교류형 PDP에 있어서, 수만에서 수백만개의 셀을 유지방전시키기 위하여, 구동펄스는 수십에서 수백 [V] 정도의 높은 전압을 가지며, 그 주파수는 수백 [KHz] 이상이다. 이러한 구동펄스가 셀 내에 인가되면 높은 정전용량의 층/방전이 일어나게 된다.

이렇게 PDP에서 층/방전이 일어나는 경우에, 패널의 용량성 부하만으로는 에너지 소모가 없지만, 구동펄스가 직류전원을 이용하여 발생되기 때문에 PDP에서 많은 에너지 손실이 발생된다. 특히, 방전시 셀 내에서 파도한 전류가 흐르게 되면 에너지 손실이 더 커지게 된다. 이 에너지 손실은 스위칭소자들의 온도상승을 초래하게 되고, 이 온도상승에 의해 최악의 경우에는 스위칭소자가 파괴될 수도 있다. 이렇게 패널 내에서 불필요하게 발생되는 에너지를 회수하기 위하여, PDP의 구동회로에는 에너지 회수회로가 포함되고 있다.

도 1을 참조하면, 'Weber(USP - 5081400)'에 의해 제안된 에너지 회수회로는 인덕터(L)와 캐패시터(Css) 사이에 병렬 접속된 제1 및 제2 스위치(Sw1,Sw2)와, 패널 캐패시터(Cp)에 서스테인 전압(Vs)을 공급하기 위한 제3 스위치(Sw3)와, 패널 캐패시터(Cp)에 기저전압(GND)을 공급하기 위한 제4 스위치(Sw4)를 구비한다.

제1 및 0 제2 스위치(Sw1,Sw2) 사이에는 역전류를 제한하기 위한 제1 및 제2 다이오드(D1,D2)가 접속된다.

패널 캐패시터(Cp)는 패널의 정전용량값을 등가적으로 나타내며, 도면부호 Re 및 R_{Cp} 는 패널에 형성된 전극과 셀의 기생저항을 등가적으로 나타낸 것이다. 스위치들(Sw1,Sw2,Sw3,Sw4)은 반도체 스위치 소자 예를 들면, MOS FET 소자로 사용된다.

캐패시터(Css)에 $Vs/2$ 만큼의 전압이 충전된 것으로 가정하여 도 1에 도시된 에너지 회수회로의 동작을 도 2를 결부하여 설명하면 다음과 같다. 도 2에서 V_{cp} 와 I_{cp} 는 각각 패널 캐패시터(Cp)의 층/방전 전압과 전류를 나타낸다. t_1 시점에 제1 스위치(Sw1)가 턠 - 온(Turn - on)된다. 그러면 캐패시터(Css)에 저장된 전압은 제1 스위치(Sw1)와 제1 다이오드(D1)를 경유하여 인덕터(L)에 공급된다. 인덕터(L)는 패널 캐패시터(Cp)와 함께 직렬 LC 공진회로를 구성하게 되므로 패널 캐패시터(Cp)는 공진파형으로 충전되기 시작한다.

t_2 시점에, 제1 스위치(Sw1)는 턠 - 오프(Turn - off)되고 제3 스위치(Sw3)는 턠 - 온된다. 그러면 서스테인 전압(Vs)이 제3 스위치(Sw3)를 경유하여 패널 캐패시터(Cp)에 공급된다. 이 t_2 시점에서 t_3 시점까지 패널 캐패시터(Cp)의 전압은 서스테인전위를 유지한다. t_3 시점에서, 제3 스위치(Sw3)는 턠 - 오프되고 제2 스위치(Sw2)는 턠 - 온된다. 그러면 패널 캐패시터(Cp)의 전압이 인덕터(L), 제2 다이오드 및 제2 스위치(Sw2)를 경유하여 캐패시터(Css)에 회수된다.

t_4 시점에서, 제2 스위치(Sw2)는 턠 - 오프되고, 제4 스위치(Sw4)는 턠 - 온된다. 그러면 패널 캐패시터(Cp)의 전압은 기저전압(GND)까지 떨어지게 된다.

에너지 회수회로는 패널의 방전특성을 높이고 서스테인시간을 안정되게 확보함과 아울러 패널로부터 회수되는 에너지의 효율을 높이기 위한 조건이 요구되고 있다. 이를 위하여, 도 1과 같은 종래의 에너지 회수회로는 인덕터(L)의 인덕턴스를 작게 하여 패널에 공급되는 라이징 타임을 빠르게 함으로써 방전특성을 높일 수 있고 인덕터(L)의 인덕턴스를 크게 하여 에너지 회수 효율을 높일 수 있다. 그러나 도 1과 같은 종래의 에너지 회수회로는 충방전 패스 상에 동일한 인덕터(L)가 사용되므로 인덕터(L)의 인덕턴스를 작게 설정하여 라이징 타임을 빠르게 하면 피크 전류가 커지므로 에

너지 회수 효율이 떨어진다. 이와 반대로, 종래의 에너지 회수회로는 인덕터(L)의 인덕턴스를 크게 설정하여 에너지 회수 효율을 개선하면 패널에 공급되는 전압의 라이징 타임이 길어지게 되므로 방전특성이 저하되고 서스테인시간의 확보가 곤란하게 된다.

또한, 종래의 에너지 회수회로는 회수, 충전 및 유지단계로 동작하기 위하여, 많은 반도체 스위치 소자(Sw1 내지 Sw4)와 인덕터(L) 그리고 회수용 캐패시터(Css)가 필요하기 때문에 코스트가 높은 단점이 있다.

발명의 상세한 설명

따라서, 본 발명의 목적은 패널의 충전시간을 줄임과 아울러 에너지 회수 효율을 높이도록 한 에너지 회수회로와 이를 이용한 에너지 효율화 방법을 제공함에 있다.

본 발명의 다른 목적은 필요한 스위치소자의 수를 줄이도록 한 에너지 회수회로와 이를 이용한 에너지 효율화 방법을 제공함에 있다.

상기 목적을 달성하기 위하여, 본 발명의 실시예에 따른 승압기능을 가지는 에너지 회수회로는 패널로부터 회수된 에너지의 전압성분을 승압하여 전압성분이 승압되어진 에너지를 패널에 공급하기 위한 승압회로를 구비한다.

상기 에너지 회수회로는 승압회로와 패널간의 신호패스를 절환하기 위한 스위치소자를 추가로 구비한다. 상기 승압회로는 패널로부터 회수된 상기 에너지를 축적하는 캐패시터와, 캐패시터로부터의 상기 에너지의 전류성분을 축적하는 인덕터와, 캐패시터와 인덕터간의 신호패스를 절환하기 위한 스위치소자를 구비한다.

상기 캐패시터, 인덕터 및 스위치소자는 페루프를 형성하도록 접속된 것을 특징으로 한다.

상기 페루프는 패널과는 분리되게 형성되는 것을 특징으로 한다.

상기 패널로부터 회수된 에너지의 전압성분은 스위치소자의 절환을 통해 인덕터에 유기되는 역전압에 의해서 승압되는 것을 특징으로 한다.

상기 인덕터에 전류를 축적하기 위하여 페루프가 형성되는 것을 특징으로 한다.

상기 에너지의 전압성분을 승압하기 위하여 페루프가 개방되는 것을 특징으로 한다.

상기 캐패시터에 축적된 에너지가 승압된 전압성분을 가진 상태로 패널에 공급되게끔 페루프가 개방되는 것을 특징으로 한다.

상기 스위치소자는 승압회로가 승압되어진 전압성분을 포함하는 에너지를 패널에 공급하게 하고 패널로부터 에너지를 회수하게 하는 것을 특징으로 한다.

상기 에너지 회수회로는 서스테인 전압을 발생하는 서스테인 전압원과, 서스테인 전압원으로부터 서스테인 전압을 패널에 공급하기 위한 제2 스위치소자를 추가로 구비한다.

상기 신호패스는 승압된 전압성분을 포함하는 에너지가 상기 패널쪽으로 공급되는 동안 및 패널로부터 에너지가 승압회로쪽으로 회수되는 동안에 신호진행 방향을 한쪽 방향으로 유지하는 것을 특징으로 한다.

상기 신호패스는 승압된 전압성분을 포함하는 에너지가 상기 패널쪽으로 공급되는가와 패널로부터의 에너지가 승압회로쪽으로 회수되는가에 따라 신호진행 방향이 변경되게 하는 것을 특징으로 한다.

상기 신호패스는 브릿지 다이오드를 포함하는 것을 특징으로 한다.

상기 에너지 회수회로는 인덕터와 스위치소자 사이에 설치되어 패널의 전압이 기저전위로 유지하는 동안 오프 상태를 유지하고 그 이외의 기간에는 턴 - 온 및 턴 - 오프를 교번하는 제2 스위치소자를 추가로 구비한다.

상기 스위치소자는 바디다이오드가 내장된 트랜지스터인 것을 특징으로 한다. 상기 에너지 회수회로는 패널에 기저전압을 공급하기 위한 기저전압원과, 기저전압원으로부터의 기저전압을 패널에 공급하기 위한 제2 스위치소자를 추가로 구비한다.

상기 승압회로는 인덕터와 다른 인덕턴스를 가짐과 아울러 인덕터에 병렬 접속되어진 적어도 1이상의 다른 인덕터를 추가로 구비하는 것을 특징으로 한다.

상기 에너지 회수회로는 인덕터들중 인덕턴스 값이 작은 인덕터에 접속된 캐소드와 캐페시터에 접속된 애노드를 가지는 제1 다이오드와, 인덕터들중 인덕턴스 값이 큰 인덕터에 접속된 캐소드와 스위치 소자에 접속된 애노드를 가지는 제2 다이오드를 추가로 구비한다. 상기 에너지 회수회로는 승압회로에 접속된 애노드와 상기 패널에 접속된 캐소드를 가지는 다이오드를 추가로 구비한다.

상기 에너지 회수회로는 승압회로와 제1 스위치소자와의 접속점에 접속된 애노드와 서스테인 전압원에 접속된 캐소드를 가지는 다이오드를 추가로 구비한다.

상기 에너지 회수회로는 기저전압원에 접속된 애노드와 승압회로 및 제1 스위치소자와의 접속된 캐소드를 가지는 다이오드를 추가로 구비한다. 상기 에너지 회수회로는 미리 설정된 시정수로 서스테인 전압을 요구된 기울기의 램프 전압 형태로 패널에 공급하기 위한 제3 스위치소자를 추가로 구비한다.

상기 에너지 회수회로는 상기 패널로부터 제1 에너지신호를 입력받고 제1 에너지신호보다 큰 제2 에너지신호를 패널에 공급하는 것을 특징으로 한다.

본 발명의 실시예에 따른 에너지 효율화 방법은 패널로부터 에너지를 페루프로 회수하는 단계와, 전압성분이 승압되어진 형태로 에너지를 패널에 공급되게끔 페루프를 제어하는 단계를 포함한다. 상기 에너지 효율화 방법은 에너지가 패널로부터 페루프 쪽으로 회수되어진 후 페루프가 패널과 전기적으로 절연되게 하는 단계를 추가로 포함한다.

상기 페루프 제어단계는 역전압이 유기되게 하는 단계를 포함한다.

상기 역전압 유기단계는 전류가 축적되게 하는 단계를 포함한다.

상기 에너지 효율화 방법은 서스테인 전압을 패널에 공급하는 단계를 추가로 포함한다.

상기 에너지 효율화 방법은 기저전압을 패널에 공급하는 단계를 추가로 포함한다.

상기 에너지 효율화 방법은 서스테인 전압을 요구된 기울기의 램프 전압 형태로 상기 패널에 공급하는 단계를 추가로 포함한다.

본 발명의 다른 실시예에 따른 에너지 효율화 방법은 패널로부터 에너지를 회수하는 단계와, 회수된 에너지의 전압성분을 승압하는 단계와, 전압성분이 승압된 에너지를 패널에 공급하는 단계를 포함한다.

상기 에너지 효율화 방법은 전압성분 승압단계는 페루프를 이용하는 것을 특징으로 한다.

상기 에너지 효율화 방법은 에너지가 패널로부터 페루프 쪽으로 회수되어진 후 페루프가 패널과 전기적으로 절연되게 하는 단계를 추가로 포함한다.

상기 전압 승압 단계는 회수된 에너지에 포함된 전류성분이 축적되게끔 순환시키는 단계와, 회수된 에너지와 함께 축적되어진 전류성분을 전압성분의 형태로 패널에 공급하는 단계를 포함한다.

상기 목적들 외에 본 발명의 다른 목적 및 이점들은 첨부한 도면들을 참조한 본 발명의 바람직한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

도면의 간단한 설명

도 1은 종래의 에너지 회수회로를 나타내는 회로도이다.

도 2는 도 1에 도시된 에너지 회수회로의 구동파형도이다.

도 3은 본 발명의 제1 실시예에 따른 에너지 회수회로를 나타내는 회로도이다.

도 4는 도 3에 도시된 에너지 회수회로의 구동파형도이다.

도 5는 승압 준비기간에서 도 3에 도시된 에너지 회수회로의 등가 회로도이다.

도 6은 패널 승압 및 충전기간에서 도 3에 도시된 에너지 회수회로의 등가 회로도이다.

도 7은 패널의 방전 에너지를 회수하는 기간에서 도 3에 도시된 에너지 회수회로의 등가 회로도이다.

도 8은 본 발명의 제2 실시예에 따른 에너지 회수회로를 나타내는 회로도이다.

도 9는 도 8에 도시된 에너지 회수회로의 구동파형도이다.

도 10a 및 도 10b는 도 8에 도시된 제4 스위치의 동작을 나타내는 파형도이다.

도 11은 본 발명의 제3 실시예에 따른 에너지 회수회로를 나타내는 회로도이다.

도 12는 도 11에 도시된 제4 스위치의 동작을 나타내는 파형도이다.

도 13은 도 11에 도시된 에너지 회수회로의 구동파형도이다.

도 14는 본 발명의 제4 실시예에 따른 에너지 회수회로를 나타내는 회로도이다.

도 15는 본 발명의 제5 실시예에 따른 에너지 회수회로를 나타내는 회로도이다.

도 16은 본 발명의 제6 실시예에 따른 에너지 회수회로를 나타내는 회로도이다.

도 17은 본 발명의 제7 실시예에 따른 에너지 회수회로를 나타내는 회로도이다.

도 18은 본 발명의 제8 실시예에 따른 에너지 회수회로를 나타내는 회로도이다.

도 19는 본 발명의 제9 실시예에 따른 에너지 회수회로를 나타내는 회로도이다.

도 20은 본 발명의 제10 실시예에 따른 에너지 회수회로를 나타내는 회로도이다.

도 21은 본 발명의 제11 실시예에 따른 에너지 회수회로를 나타내는 회로도이다.

도 22는 도 21에 도시된 제1 및 제2 인덕터의 인덕턴스 값에 의해 조정되는 패널 캐페시터의 라이징 타임과 폴링 타임을 나타내는 파형도이다. 도 23은 본 발명의 제12 실시예에 따른 에너지 회수회로를 나타내는 회로도이다.

도 24는 본 발명의 제13 실시예에 따른 에너지 회수회로를 나타내는 회로도이다.

도 25는 본 발명의 제14 실시예에 따른 에너지 회수회로를 나타내는 회로도이다.

도 26은 도 25에 도시된 에너지 회수회로의 구동파형도이다.

도 27은 본 발명의 제15 실시예에 따른 에너지 회수회로를 나타내는 회로도이다.

도 28은 본 발명의 제16 실시예에 따른 에너지 회수회로를 나타내는 회로도이다.

도 29는 도 28에 도시된 에너지 회수회로의 구동파형도이다.

도 30은 본 발명의 실시예들에 따른 승압기능을 가지는 에너지 회수회로를 이용한 에너지 효율화 방법의 동작 과정을 단계적으로 나타내는 흐름도이다.

실시 예

이하, 본 발명의 실시예들을 첨부한 도 3 내지 도 30을 참조하여 상세히 설명하기로 한다.

도 3을 참조하면, 본 발명의 제1 실시예에 따른 에너지 회수회로는 페루프를 형성하도록 접속된 캐페시터 (Css), 인덕터 (L) 및 제1 스위치 (S1)와, 제2 노드 (n2)를 경유하여 패널 캐페시터 (Cp)에 접속된 제2 스위치 (S2)와, 제2 노드 (n2)와 서스테인 전압원 (Vs) 사이에 접속되는 제3 스위치 (S3)를 구비한다.

패널 캐페시터 (Cp)는 패널의 정전용량을 나타내며, 도면부호 Re 및 R_{Cp} 는 패널에 형성된 전극과 셀의 기생저항이다.

스위치들 (S1, S2, S3)은 반도체 스위치 소자 예를 들면, MOS FET, IGBT, SCR, BJT 등의 반도체 스위치 소자로 사용된다. 제1 스위치 (S1)는 온 (On) 상태에서 캐페시터 (Css)의 일측 단자로부터 인덕터 (L) 및 제1 스위치 (S1)를 경유하여 캐페시터 (Css)의 타측단자로 이어지는 전류페루프를 형성하게 된다. 이 페루프에서 캐페시터 (Css)로부터 방전되는 전하에 의해 인덕터 (L)에는 전류가 축적된다. 이 제1 스위치 (S1)가 턠 - 오프 (Turn - off) 된 다음, 인덕터 (L)의 전류는 최대가 됨과 동시에, 인덕터 (L)의 양단에는 역전압이 유기된다. 따라서, 제1 노드 (n1)에는 캐페시터 (Css)의 전압과 인덕터 (L)에 유기된 역전압이 더해진 승압전압이 나타나게 된다.

제2 스위치 (S2)는 제1 노드 (n1)로부터의 승압 전압을 패널 캐페시터 (Cp)에 공급함과 아울러, 패널 캐페시터 (Cp)로부터 회수되는 에너지의 전압성분을 인덕터 (L)를 경유하여 캐페시터 (Css)에 공급하게 된다.

제3 스위치 (S3)는 패널 캐페시터 (Cp)의 전압을 서스테인 전압레벨로 유지하기 위하여 패널 캐페시터 (Cp)에 서스테인 전압 (Vs)을 공급하는 역할을 한다.

도 3에 도시된 에너지 회수회로의 동작을 도 4를 결부하여 설명하면 다음과 같다.

서스테인 전위 (Vs)로 충전된 패널 캐페시터 (Cp)의 방전에 의해 그 에너지 즉, 무효전력의 전압성분은 제2 스위치 (S2)와 인덕터 (L)를 통하여 캐페시터 (Css)로 회수된다.

t_0 에서 t_1 까지의 기간에 제2 스위치 (S2)는 턠 - 오프되고 제1 스위치 (S1)는 턠 - 온되어 도 6과 같이 캐페시터 (Css), 인덕터 (L) 및 제1 스위치 (S1)를 포함한 페루프를 형성하게 된다. 이 기간 동안, 캐페시터 (Css)로부터 방전되는 전하에 의해 인덕터 (L)는 전류를 충전한다. 따라서, 이 기간동안, 인덕터 (L)의 전류 (IL)는 증가하게 되고, 도 5에서 알 수 있는 바와 같이 인덕터 (L)의 양단간 전압은 캐페시터 (Css)의 전압 (V_{ss})과 동일하다.

제1 스위치(S1)가 터 - 오프되고 제2 스위치(S2)의 바디 다이오드가 터 - 온되는 t1 시점에 인덕터(L)에 충전된 전류가 패널에 공급되기 시작한다. 이렇게 인덕터(L)에 충전된 전류(IL)가 패널 캐패시터(Cp)에 공급되어 패널 캐패시터(Cp)의 전압(Vcp)은 상승하게 된다. 패널 캐패시터(Cp)의 전압(Vcp)이 Vss 전위보다 높아지는 t1' 시점에서 인덕터(L)의 전류는 최대가 됨과 동시에 인덕터(L)의 양단에는 도 6과 같이 역전압이 유기된다. 따라서, 인덕터(L)에 역전압이 유기되는 t1' 시점부터 캐패시터(Css)의 전압(Vss)과 인덕터(L)에 유기된 역전압이 더해진 승압전압이 패널 캐패시터(Cp)에 공급되어 패널 캐패시터(Cp)를 충전시키게 된다. 결국, 캐패시터(Css)에 충전된 전압과 인덕터(L)에 유기된 역전압이 더해진 승압전압이 패널 캐패시터(Cp)를 충전시키게 된다. 이렇게 패널로부터 회수된 전압보다 높은 승압전압이 패널로 공급되므로 패널 캐패시터(Cp)에 충전되는 전압의 라이징 타임이 빨라지게 된다. 한편, 패널 충전시 충전 전류패스 상에는 제2 스위치(S2)의 바디 다이오드와 인덕터(L) 만이 존재한다. 이와 대비할 때, 도 1에 도시된 종래의 에너지 회수회로는 패널 방전시 충전 전류패스 상에는 제1 스위치(S1), 제1 다이오드(D1) 및 인덕터(L)가 존재한다.

t2 시점에서, 제3 스위치(S3)는 터 - 온되고 제2 스위치(S2)의 바디 다이오드는 터 - 오프된다. 그러면 제3 스위치(S3)를 경유하여 서스테인전압(Vs)이 패널 캐패시터(Cp)에 공급되어 패널 캐패시터(Cp)의 전압레벨은 서스테인전압레벨로 유지된다. 이 서스테인전압레벨에서 패널의 셀 내에 형성된 전극들에는 방전이 일어나게 된다. t3 시점에서, 제3 스위치(S3)는 터 - 오프되고 제2 스위치(S2)가 터 - 온된다. 이 때, 도 3에 도시된 에너지 회수회로는 도 7과 같이 나타낼 수 있다. 그러면 패널 캐패시터(Cp)로부터 방전에 기여하지 않은 에너지 즉, 무효전력의 전압성분이 제2 스위치(S2)와 인덕터(L)를 경유하여 캐패시터(Css)에 회수된다. 에너지 회수시 전류패스 상에는 제2 스위치(S2)와 인덕터(L)만이 존재한다. 이와 대비할 때, 도 1에 도시된 에너지 회수회로는 에너지 회수시 전류패스 상에 인덕터(L), 제2 다이오드(D2) 및 제2 스위치(S2)가 존재한다.

캐패시터(Css)에 충전되는 전압은 t3 시점부터 t4 시점까지 즉, 제2 스위치(S2)의 온타임(On-time)을 조정함으로써 변화시킬 수 있다.

도 3에 도시된 에너지 회수회로는 충전패스와 방전패스 상에 하나의 반도체 스위치소자만 존재하게 되므로 도 1에 도시된 종래의 에너지 회수회로에 비하여 그 만큼 스위치소자의 도통손실을 줄일 수 있다. 도 3에 도시된 에너지 회수회로에 있어서, 제1 내지 제3 스위치(S1, S2, S3)는 바디 다이오드가 터 - 온된 상태에서 터 - 온되므로 영전압 스위칭하게 된다. 그리고 도 4에 도시된 에너지 회수회로는 인덕터(L)에 의해 전류의 위상이 지연되므로 전압과 전류의 중첩폭이 줄게 되므로 제1 및 제2 스위치(S1, S2)의 양단 전압과 제1 및 제2 스위치(S1, S2)에 흐르는 전류의 위상 중첩(Overlap)으로 인하여 발생되는 스위칭 손실을 최소화할 수 있다.

도 3에 도시된 에너지 회수회로는 에너지 회수효율을 높이기 위하여 인덕터(L)의 인덕턴스를 크게 설정하더라도 제1 스위치(S1)의 온 - 타임을 조절함으로써 패널에 공급되는 승압전압의 라이징 타임을 빠르게 할 수 있다. 다시 말하여, 본 발명에 따른 에너지 회수회로는 인덕터(L)의 인덕턴스에 관계없이 제1 스위치(S1)의 스위칭타임 조절만으로도 승압전압의 라이징 타임을 빠르게 할 수 있으므로 인덕터(L)의 인덕턴스를 크게 하여 에너지 회수 효율을 높임과 아울러, 승압 전압의 라이징 타임을 빠르게 할 수 있다.

도 8은 본 발명의 제2 실시예에 따른 에너지 회수회로를 나타낸다.

도 8을 참조하면, 본 발명의 제2 실시예에 따른 에너지 회수회로는 페루프를 형성하도록 접속된 캐패시터(Css), 인덕터(L), 제1 스위치(S1) 및 제4 스위치(S4)와, 제1 노드(n1)를 경유하여 제1 및 제4 스위치(S1, S4)에 공통으로 접속

됨과 아울러 제2 노드(n2)를 경유하여 패널 캐패시터(Cp)에 접속된 제2 스위치(S2)와, 제2 노드(n2)와 서스테인 전압원(Vs) 사이에 접속되는 제3 스위치(S3)를 구비한다. 스위치들(S1,S2,S3,S4)은 반도체 스위치 소자 예를 들면, MOS FET, IGBT, SCR, BJT 등의 반도체 스위치 소자로 사용된다.

제1 및 제4 스위치(S1,S4)는 턴 - 온되어 캐패시터(Css)의 일측 단자로부터 인덕터(L), 제4 스위치(S4) 및 제1 스위치(S1)를 경유하여 캐패시터(Css)의 타측단자로 이어지는 전류페루프를 형성하게 된다. 이 페루프에서 캐패시터(Css)로부터 방전되는 전하에 의해 인덕터(L)에는 전류가 축적된다. 이 제1 스위치(S1)가 턴 - 오프된 다음, 인덕터(L)의 전류는 최대가 됨과 동시에, 인덕터(L)의 양단에는 역전압이 유기된다. 따라서, 제1 노드(n1)에는 캐패시터(Css)의 전압과 인덕터(L)에 유기된 역전압이 더해진 승압전압이 나타나게 된다. 제2 및 제4 스위치(S2,S4)는 제1 노드(n1)로부터의 승압 전압을 패널 캐패시터(Cp)에 공급하고 패널 캐패시터(Cp)로부터 회수되는 에너지의 전압성분을 인덕터(L)를 통하여 캐패시터(Cp)에 충전시키게 된다.

제3 스위치(S3)는 패널 캐패시터(Cp)의 전압을 서스테인 전압레벨로 유지하기 위하여 서스테인전압(Vs)을 공급하는 역할을 한다.

제4 스위치(S4)는 패널 캐패시터(Cp)의 전압(Vcp)이 기저전위(GND)를 유지하여야 하는, 예를 들면 도 10A에서 서스테인 기간 A,B 사이의 셋업기간, 리셋기간 또는 소거기간 등의 휴지기간에 오프되며, 그 이외의 기간에는 온/오프를 반복하게 된다. 또한, 제4 스위치(S4)는 도 10B와 같이 패널 캐패시터(Cp)의 전압(Vcp)이 기저전위(GND)로 떨어지기 시작하는 시점부터 기저전위(GND)를 유지하는 초기기간에 오프되며, 그 이외의 기간에는 온 상태를 유지하게 된다.

도 8에 도시된 에너지 회수회로의 동작을 도 9를 결부하여 설명하면 다음과 같다.

서스테인 전위(Vs)로 충전된 패널 캐패시터(Cp)의 방전에 의해 그 에너지의 전압성분은 제2 스위치(S2)와 인덕터(L)를 통하여 캐패시터(Css)로 회수된다.

t0에서 t1 까지의 기간에 제2 스위치(S2)는 턴 - 오프되고 제1 및 제4 스위치(S1,S4)는 턴 - 온되어 캐패시터(Css), 인덕터(L), 제1 및 제4 스위치(S1,S4)를 포함한 페루프를 형성하게 된다. 이 기간 동안, 캐패시터(Css)로부터 방전되는 전하에 의해 인덕터(L)는 전류를 충전한다. 따라서, 이 기간동안에 인덕터(L)의 전류(IL)는 증가하게 된다.

제1 스위치(S1)가 턴 - 오프되고 제2 스위치(S2)의 바디 다이오드가 턴 - 온되는 t1 시점에 인덕터(L)에 충전된 전류가 패널에 공급되기 시작한다. 이렇게 인덕터(L)에 충전된 전류(IL)가 패널 캐패시터(Cp)에 공급되어 패널 캐패시터(Cp)의 전압(Vcp)은 상승하게 된다. 패널 캐패시터(Cp)의 전압(Vcp)이 Vss 전위보다 높아지는 t1' 시점에서 인덕터(L)의 전류는 최대가 됨과 동시에 인덕터(L)의 양단에는 역전압이 유기된다. 따라서, 인덕터(L)에 역전압이 유기되는 t1' 시점부터 캐패시터(Css)의 전압(Vss)과 인덕터(L)에 유기된 역전압이 더해진 승압전압이 패널 캐패시터(Cp)에 공급되어 패널 캐패시터(Cp)를 충전시키게 된다.

t2 시점에서 제3 스위치(S3)는 턴 - 온되고 제2 스위치(S2)의 바디 다이오드는 턴 - 오프된다. 그러면 제3 스위치(S3)를 경유하여 서스테인전압(Vs)이 패널 캐패시터(Cp)에 공급되어 패널 캐패시터(Cp)의 전압레벨은 서스테인전압레벨로 유지된다.

t3 시점에서, 제3 스위치(S3)는 턴 - 오프되고 제2 스위치(S2)가 턴 - 온된다. 그러면 패널 캐패시터(Cp)로부터 회수되는 에너지의 전압 성분은 제2 스위치(S2), 제4 스위치(S4) 및 인덕터(L)를 경유하여 캐패시터(Cp)에 저장된다. 에너지 회수시 전류페스 상에는 제2 스위치(S2), 제4 스위치(S4) 및 인덕터(L)가 존재한다. 이렇게 패널 캐패시터(Cp)의 전압이 회수된 후, 패널 캐패시터(Cp)가 기저전위(GND)를 유지할 때 제4 스위치(S4)는 턴 - 오프된다. 도 11은 본 발

명의 제3 실시예에 따른 에너지 회수회로를 나타낸다.

도 11을 참조하면, 본 발명의 제3 실시예에 따른 에너지 회수회로는 페루프를 형성하도록 접속된 캐패시터(C_{ss}), 인덕터(L) 및 제1 스위치(S_1)와, 제1 노드(n_1)를 경유하여 인덕터(L)와 제1 스위치(S_1)에 공통으로 접속됨과 아울러 제2 노드(n_2)를 경유하여 패널 캐패시터(C_p)에 접속된 브릿지 회로(10)와, 제2 노드(n_2)와 서스테인 전압원(V_s) 사이에 접속되는 제3 스위치(S_3)와, 제2 노드(n_2)와 기저전압원(GND) 사이에 접속된 제4 스위치(S_4)를 구비한다.

브릿지 회로(10)는 제1 노드(n_1)와 제2 노드(n_2) 사이에 브릿지 형태로 접속된 다이오드들($D_{c1}, D_{c2}, D_{r1}, D_{r2}$)과, 이 다이오드들($D_{c1}, D_{c2}, D_{r1}, D_{r2}$)에 접속된 제2 스위치(S_2)로 구성된다. 이 브릿지 회로(10)는 패널의 충/방전시 전류패스를 제어하는 역할을 한다. 스위치들(S_1 내지 S_4)은 반도체 스위치 소자 예를 들면, MOS FET, IGBT, SCR, BJT 등의 반도체 스위치 소자로 사용된다.

제1 스위치(S_1)는 온(On) 상태에서 캐패시터(C_{ss})의 일측 단자로부터 인덕터(L) 및 제1 스위치(S_1)를 경유하여 캐패시터(C_{ss})의 타측단자로 이어지는 전류페루프를 형성하게 된다. 이 페루프에서 캐패시터(C_{ss})로부터 방전되는 전하에 의해 인덕터(L)에는 전류가 축적된다. 이 제1 스위치(S_1)가 터 - 오프된 다음, 인덕터(L)의 전류는 최대가 됨과 동시에, 인덕터(L)의 양단에는 역전압이 유기된다. 따라서, 제1 노드(n_1)에는 캐패시터(C_{ss})의 전압과 인덕터(L)에 유기된 역전압이 더해진 승압전압이 나타나게 된다.

제2 스위치(S_2)는 패널 충전시에 터 - 온되어 다이오드(D_{c1}), 제2 스위치(S_2) 및 다이오드(D_{c2})를 경유하는 패널 충전 전류패스를 형성함으로써 제1 노드(n_1)로부터의 승압 전압을 패널 캐패시터(C_p)에 공급한다. 또한 제2 스위치(S_2)는 에너지 회수시에 터 - 온되어 다이오드(D_{r1}), 제2 스위치(S_2) 및 다이오드(D_{r2})를 경유하는 에너지 회수 전류패스를 형성함으로써 패널 캐패시터(C_p)로부터 회수되는 에너지의 전압성분을 인덕터(L)를 통하여 캐패시터(C_{ss})에 공급하게 된다.

제3 스위치(S_3)는 패널 캐패시터(C_p)의 전압을 서스테인 전압레벨로 유지하기 위하여 서스테인전압(V_s)을 공급하는 역할을 한다.

제4 스위치(S_4)는 도 12와 같이 패널 캐패시터(C_p)의 전압레벨이 기저전위(GND)를 유지할 때만 터 - 온되어 제2 노드(n_2) 상의 전압을 기저전위로 유지시킨다.

도 11에 도시된 에너지 회수회로의 동작을 도 13을 결부하여 설명하면 다음과 같다.

먼저, 서스테인 전위(V_s)로 충전된 패널 캐패시터(C_p)의 방전에 의해 그 에너지의 전압 성분은 제2 스위치(S_2)와 인덕터(L)를 통하여 캐패시터(C_{ss})로 회수된다. t_0 에서 t_1 까지의 기간에 제2 스위치(S_2)는 터 - 오프되고 제1 스위치(S_1)는 터 - 온되어 캐패시터(C_{ss}), 인덕터(L) 및 제1 스위치(S_1)을 포함한 페루프를 형성하게 된다. 이 기간 동안, 캐패시터(C_{ss})로부터 방전되는 전하에 의해 인덕터(L)는 전류를 충전하여 인덕터(L)의 전류(I_L)는 증가하게 된다. 이 때, 인덕터(L)의 양단간 전압은 캐패시터(C_{ss})의 전압(V_{ss})과 동일하다.

제1 스위치(S_1)가 터 - 오프되고 제2 스위치(S_2)가 터 - 온되는 t_1 시점에 인덕터(L)에 충전된 전류가 다이오드(D_{c1}), 제2 스위치(S_2) 및 다이오드(D_{c2})를 통하여 패널에 공급되기 시작한다. 이렇게 인덕터(L)에 충전된 전류(I_L)가 패널 캐패시터(C_p)에 공급되어 패널 캐패시터(C_p)의 전압(V_{cp})은 상승하게 된다. 패널 캐패시터(C_p)의 전압(V_{cp})이 V_s 전위보다 높아지는 t_1' 시점에서 인덕터(L)의 전류는 최대가 됨과 동시에 인덕터(L)의 양단에는 역전압이 유기된다.

따라서, 인덕터(L)에 역전압이 유기되는 t1 시점부터 캐패시터(Css)의 전압(Vss)과 인덕터(L)에 유기된 역전압이 더해진 승압전압이 패널 캐패시터(Cp)에 공급되어 패널 캐패시터(Cp)를 충전시키게 된다. t2 시점에서 제2 스위치(S2)는 터 - 오프되고 제3 스위치(S3)는 터 - 온된다. 그러면 제3 스위치(S3)를 경유하여 서스테인전압(Vs)이 패널 캐패시터(Cp)에 공급되어 패널 캐패시터(Cp)의 전압레벨은 서스테인전압레벨로 유지된다.

t3 시점에서, 제3 스위치(S3)는 터 - 오프되고 제2 스위치(S2)가 터 - 온된다. 그러면 패널 캐패시터(Cp)로부터 회수된 에너지의 전압성분은 다이오드(Dr1), 제2 스위치(S2), 다이오드(Dr2) 및 인덕터(L)를 경유하여 캐패시터(Cp)에 저장된다. 이렇게 패널 캐패시터(Cp)의 전압이 회수된 후에 패널 캐패시터(Cp)가 기저전위(GND)를 유지하여야 하는 기간 예를 들면, 도 12에서 리셋(셋업기간)이나 서스테인펄스들 사이의 기저전압 유지기간에 제4 스위치(S4)는 터 - 온되므로 제2 노드(n2) 상의 전압은 기저전위(GND)로 유지된다.

리셋(셋업기간)이나 서스테인펄스들 사이의 기저전압 유지기간에 패널 캐패시터(Cp)를 기저전압으로 유지시키기 위한 제4 스위치(S4)는 도 14 내지 도 16과 같이 본 발명의 제1 내지 제3 실시예에도 동일하게 적용될 수 있다.

도 14에 도시된 제4 스위치(S4), 도 15에 도시된 제5 스위치(S5), 도 16에 도시된 제4 스위치(S4)는 도 11에 도시된 제4 스위치(S4)와 동일하게 동작된다. 도 15에 있어서, 제4 스위치(S4)는 인덕터(L)와 제2 스위치(S2) 사이에 접속되어 셋업기간 또는 리셋기간 등의 휴지기간에 오프되며, 그 이외의 기간에는 온/오프를 반복한다. 또한, 제4 스위치(S4)는 패널 캐패시터(Cp)의 전압(Vcp)이 기저전위(GND)로 떨어지기 시작하는 시점부터 기저전위(GND)를 유지하는 초기기간에 오프되며, 그 이외의 기간에는 온 상태를 유지하게 된다.

도 17을 참조하면, 본 발명의 제7 실시예에 따른 에너지 회수회로는 페루프를 형성하도록 접속된 캐패시터(Css), 인덕터(L) 및 제1 스위치(S1)와, 제2 노드(n2)를 경유하여 패널 캐패시터(Cp)에 접속된 제2 스위치(S2)와, 제2 노드(n2)와 서스테인 전압원(Vs) 사이에 접속되는 제3 스위치(S3)와, 제1 노드(n1)와 제2 노드(n2) 사이에 접속된 보조 다이오드(Da)를 구비한다.

제1 스위치(S1)는 온(On) 상태에서 캐패시터(Css)의 일측 단자로부터 인덕터(L) 및 제1 스위치(S1)를 경유하여 캐패시터(Css)의 타측단자로 이어지는 전류페루프를 형성하게 된다. 이 페루프에서 캐패시터(Css)로부터 방전되는 전하에 의해 인덕터(L)에는 전류가 축적된다. 이 제1 스위치(S1)가 터 - 오프된 후에 인덕터(L)의 전류는 최대가 됨과 동시에, 인덕터(L)의 양단에는 역전압이 유기된다. 따라서, 제1 노드(n1)에는 캐패시터(Css)의 전압과 인덕터(L)에 유기된 역전압이 더해진 승압전압이 나타나게 된다. 제2 스위치(S2)는 제1 노드(n1)로부터의 승압 전압을 패널 캐패시터(Cp)에 공급함과 아울러, 패널 캐패시터(Cp)로부터 회수되는 에너지의 전압성분을 인덕터(L)를 통하여 캐패시터(Cp)에 공급하게 된다.

제3 스위치(S3)는 패널 캐패시터(Cp)의 전압을 서스테인 전압레벨로 유지하기 위하여 패널 캐패시터(Cp)에 서스테인 전압(Vs)을 공급하는 역할을 한다.

보조 다이오드(Da)는 제2 스위치(S2)의 바디 다이오드의 전류부담율을 줄이고 제2 스위치(S2)의 저항값을 줄임으로써 제2 스위치(S2)의 발열을 줄이게 된다. 즉, 보조 다이오드(Da)는 제1 노드(n1)로부터 제2 노드(n2) 쪽으로 흐르는 전류페스를 분산하여 과전류, 과전압으로부터 제2 스위치(S2)를 보호하게 된다. 이 보조 다이오드(Da)는 도 18 내지 20과 같이 각각 도 8 및 도 14 및 도 15에 도시된 에너지 회수회로에도 적용될 수 있다.

이 보조 다이오드(Da)가 설치된 에너지 회수회로의 동작 수순은 도 5의 과정도와 실질적으로 동일하다.

도 21을 참조하면, 본 발명의 제11 실시예에 따른 에너지 회수회로는 폐루프를 형성하도록 접속된 캐패시터(Css), 제1 및 제2 인덕터(L201,L202) 그리고 제1 스위치(S1)와, 제2 노드(n2)를 경유하여 패널 캐패시터(Cp)에 접속된 제2 스위치(S2)와, 제2 노드(n2)와 서스테인 전압원(Vs) 사이에 접속되는 제3 스위치(S3)를 구비한다.

제1 인덕터(L201)와 캐패시터(Css) 사이에는 제1 다이오드(D201)가 접속되고, 제2 인덕터(L2)와 제1 노드(n1) 사이에는 제2 다이오드(D202)가 접속된다. 제1 다이오드(D201)와 제2 다이오드(D202) 각각은 제2 인덕터(L202)를 경유하는 회수패스와 제1 인덕터(L201)를 경유하는 충전패스를 분리시키게 된다.

제1 스위치(S1)는 온(On) 상태에서 캐패시터(Css)의 일측 단자로부터 제1 인덕터(L201) 및 제1 스위치(S1)를 경유하여 캐패시터(Css)의 타측단자로 이어지는 전류폐루프를 형성하게 된다. 이 폐루프에서 캐패시터(Css)로부터 방전되는 전하에 의해 제1 인덕터(L201)에는 전류가 축적된다. 이 제1 스위치(S1)가 터 - 오프된 다음, 제1 인덕터(L201)의 전류는 최대가 됨과 동시에, 제1 인덕터(L201)의 양단에는 역전압이 유기된다. 따라서, 제1 노드(n1)에는 캐패시터(Css)의 전압과 제1 인덕터(L201)에 유기된 역전압이 더해진 승압전압이 나타나게 된다.

제2 스위치(S2)는 제1 노드(n1)로부터의 승압 전압을 패널 캐패시터(Cp)에 공급함과 아울러, 패널 캐패시터(Css)로부터 회수되는 에너지의 전압성분을 제2 다이오드(D202)와 제2 인덕터(L202)를 통하여 캐패시터(Css)에 공급하게 된다.

제3 스위치(S3)는 패널 캐패시터(Cp)의 전압을 서스테인 전압레벨로 유지하기 위하여 패널 캐패시터(Cp)에 서스테인 전압(Vs)을 공급하는 역할을 한다.

도 21에 도시된 에너지 회수회로의 동작을 도 4 및 도 22를 결부하여 설명하면 다음과 같다.

t0에서 t1 까지의 기간에 제2 스위치(S2)는 오프되고 제1 스위치(S1)는 터 - 온된다. 이 기간 동안, 캐패시터(Css)로부터 방전되는 전하에 의해 제1 인덕터(L201)는 전류를 충전한다.

제1 스위치(S1)가 터 - 오프되는 t1 시점에 제1 인덕터(L201)에 충전된 전류가 제2 스위치(S2)의 바디 다이오드를 통하여 패널에 공급되기 시작한다. 이렇게 제1 인덕터(L201)에 충전된 전류가 패널 캐패시터(Cp)에 공급되어 패널 캐패시터(Cp)의 전압(Vcp)은 상승하게 된다. 패널 캐패시터(Cp)의 전압(Vcp)이 Vs 전위보다 높아지는 t1' 시점에서 인덕터(L)의 전류는 최대가 됨과 동시에 인덕터(L)의 양단에는 역전압이 유기된다. 따라서, 인덕터(L)에 역전압이 유기되는 t1' 시점부터 캐패시터(Css)의 전압(Vss)과 인덕터(L)에 유기된 역전압이 더해진 승압전압이 패널 캐패시터(Cp)에 공급되어 패널 캐패시터(Cp)를 충전시키게 된다.

결국, 캐패시터(Css)에 충전된 전압과 제1 인덕터(L201)에 유기된 역전압이 더해진 승압전압이 패널 캐패시터(Cp)를 충전시키게 된다. 이렇게 패널 캐패시터(Cp)에 공급되는 전압이 승압되므로 패널 캐패시터(Cp)에 충전되는 전압의 라이징 타임이 빨라지게 된다.

t2 시점에서, 제3 스위치(S3)는 터 - 온되고 제2 스위치(S2)의 바디 다이오드는 터 - 오프된다. 그러면 제3 스위치(S3)를 경유하여 서스테인전압(Vs)이 패널 캐패시터(Cp)에 공급되어 패널 캐패시터(Cp)의 전압레벨은 서스테인전압레벨로 유지된다. 이 서스테인전압레벨에서 패널의 셀 내에 형성된 전극들에는 방전이 일어나게 된다.

t3 시점에서, 제3 스위치(S3)는 터 - 오프되고 제2 스위치(S2)가 터 - 온된다. 그러면 패널 캐패시터(Cp)로부터 방전에 기여하지 않은 에너지 즉, 무효전력의 전압성분은 제2 스위치(S2)와 제2 인덕터(L202)를 통하여 캐패시터(Css)에 저장된다. 패널 캐패시터(Cp)가 충전되는 라이징타임(TR)이 짧을수록 방전이 안정되게 일어나게 된다. 또한, 패널 캐패시터(Cp)가 방전되는 회수기간인 폴링타임(TF)이 길수록 제2 인덕터(L202)와 캐패시터(Css)에 회수되는 에너지의

회수효율이 높아지게 되어 소비전력이 낮아지게 된다. 이를 위하여, 제2 인덕터(L202)의 인덕턴스는 제1 인덕턴스(L201)의 그것에 비하여 크게 설정된다. 이와 같은 병렬 조합 인덕터는 도 23 및 도 24와 같이 전술한 도 8 및 도 11에 도시된 에너지 회수회로에도 적용될 수 있다.

도 25를 참조하면, 본 발명의 제14 실시예에 따른 에너지 회수회로는 페루프를 형성하도록 접속된 캐패시터(Css), 인덕터(L) 그리고 제1 및 제2 스위치(S241,S242)와, 제2 노드(n2)와 서스테인 전압원(Vs) 사이에 접속되는 제3 스위치(S3)를 구비한다.

제1 스위치(S1)는 온(On) 상태에서 캐패시터(Css)의 일측 단자로부터 인덕터(L), 제1 및 제2 스위치(S241,S242)를 경유하여 캐패시터(Css)의 타측단자로 이어지는 전류페루프를 형성하게 된다. 이 페루프에서 캐패시터(Css)로부터 방전되는 전하에 의해 인덕터(L)에는 전류가 축적된다. 이 제1 스위치(S241)가 터 - 오프된 다음, 인덕터(L)의 전류는 최대가 됨과 동시에, 인덕터(L)의 양단에는 역전압이 유기된다. 따라서, 제1 노드(n1)에는 캐패시터(Css)의 전압과 인덕터(L)에 유기된 역전압이 더해진 승압전압이 나타나게 된다. 제2 스위치(S242)는 패널이 충전될 때 터 - 오프되며, 패널 방전시 회수되는 에너지가 캐패시터(Css)에 회수될 때 캐패시터(Css)와 인덕터(L)가 충전되는 패널 방전시 터 - 온된다.

제3 스위치(S3)는 패널 캐패시터(Cp)의 전압을 서스테인 전압레벨로 유지하기 위하여 패널 캐패시터(Cp)에 서스테인 전압(Vs)을 공급하게 된다.

한편, 패널 캐패시터(Cp)의 전압(Vcp)이 기저전위(GND)를 유지하는 기간에 제1 스위치(241)는 터 - 온되는 반면, 제2 스위치(S242)는 터 - 오프되어 제2 노드(n2) 상의 전압을 기저전위(GND)로 바이패스시키게 된다. 도 25에 도시된 에너지 회수회로의 동작을 도 26을 결부하여 설명하면 다음과 같다.

t0 시점에 제1 및 제2 스위치(S241,S242)는 동시에 터 - 온된다. 그러면 인덕터(L)는 t0에서 t1 까지 캐패시터(Css)로부터 방전되는 전하에 의해 전류를 충전한다.

제1 및 제2 스위치(S241,S242)가 터 - 오프되는 t1 시점에 인덕터(L)에 충전된 전류가 패널에 공급되기 시작한다. 이렇게 인덕터(L)에 충전된 전류(IL)가 패널 캐패시터(Cp)에 공급되어 패널 캐패시터(Cp)의 전압(Vcp)은 상승하게 된다. 패널 캐패시터(Cp)의 전압(Vcp)이 Vss 전위보다 높아지는 t1' 시점에서 인덕터(L)의 전류는 최대가 됨과 동시에 인덕터(L)의 양단에는 역전압이 유기된다. 따라서, 인덕터(L)에 역전압이 유기되는 t1' 시점부터 캐패시터(Css)의 전압(Vss)과 인덕터(L)에 유기된 역전압이 더해진 승압전압이 패널 캐패시터(Cp)에 공급되어 패널 캐패시터(Cp)를 충전시키게 된다. 결국, 캐패시터(Css)에 충전된 전압과 인덕터(L)에 유기된 역전압이 더해진 승압전압이 패널 캐패시터(Cp)에 공급된다. 이렇게 패널에 공급되는 전압이 승압되어 패널로 공급되므로 패널 캐패시터(Cp)에 충전되는 전압의 라이징 타임이 빨라지게 된다.

t2 시점에서, 제3 스위치(S3)는 터 - 온된다. 그러면 제3 스위치(S3)를 경유하여 서스테인전압(Vs)이 패널 캐패시터(Cp)에 공급되어 패널 캐패시터(Cp)의 전압레벨은 서스테인전압레벨로 유지된다. 이 서스테인전압레벨에서 패널의 셀 내에 형성된 전극들에는 방전이 일어나게 된다. t3 시점에서, 제3 스위치(S3)는 터 - 오프되는 반면에 제2 스위치(S242)는 터 - 온된다. 그러면 패널 캐패시터(Cp)로부터 회수되는 에너지의 전압성분은 t3에서 t4까지 제2 스위치(S242)와 인덕터(L)를 경유하여 캐패시터(Css)에 저장된다.

이 에너지 회수회로에 설치된 인덕터(L)는 서로 다른 인덕턴스 값을 가지는 병렬 조합 인덕터로 대신될 수 있다. 또한, 이 에너지 회수회로에는 도 17 내지 도 20과 같이 제1 노드(n1)와 제2 노드(n2) 사이에 보조 다이오드가 설치될 수도 있다.

도 27을 참조하면, 본 발명의 제14 실시예에 따른 에너지 회수회로는 페루프를 형성하도록 접속된 캐패시터(Css), 인덕터(L) 및 제1 스위치(S1)와, 제2 노드(n2)를 경유하여 패널 캐패시터(Cp)에 접속된 제2 스위치(S2)와, 제2 노드(n2)와 서스테인 전압원(Vs) 사이에 접속되는 제3 스위치(S3)와, 제1 노드(n1)에 접속됨과 아울러 서스테인 전압원(Vs)과 제3 스위치(S3) 사이의 제3 노드(n3)에 접속되는 제1 다이오드(D261)와, 기저전압원(GND)과 제1 노드(n1) 사이에서 제1 스위치(S1)에 병렬 접속된 제2 다이오드(D262)를 구비한다. 제1 스위치(S1)는 온(On) 상태에서 캐패시터(Css)의 일측 단자로부터 인덕터(L), 제1 스위치(S1)를 경유하여 캐패시터(Css)의 타측 단자로 이어지는 전류페루프를 형성하게 된다. 이 페루프에서 캐패시터(Css)로부터 방전되는 전하에 의해 인덕터(L)에는 전류가 축적된다. 이 제1 스위치(S1)가 터 - 오프된 다음, 인덕터(L)의 전류는 최대가 됨과 동시에, 인덕터(L)의 양단에는 역전압이 유기된다. 따라서, 제1 노드(n1)에는 캐패시터(Css)의 전압과 인덕터(L)에 유기된 역전압이 더해진 승압전압이 나타나게 된다.

제2 스위치(S2)는 제1 노드(n1)로부터의 승압 전압을 패널 캐패시터(Cp)에 공급함과 아울러, 패널 캐패시터(Cp)로부터 회수되는 에너지의 전압성분을 인덕터(L)를 통하여 캐패시터(Css)에 공급하게 된다.

제3 스위치(S3)는 패널 캐패시터(Cp)의 전압을 서스테인 전압레벨로 유지하기 위하여 패널 캐패시터(Cp)에 서스테인 전압(Vs)을 공급하는 역할을 한다.

제1 다이오드(D261)는 제1 노드(n1) 상의 전압이 자신의 문턱전압과 서스테인 전압(Vs)의 합 이상으로 상승할 때 터 - 온됨으로써 제1 스위치(S1)에 인가되는 과전압과 과전류를 제한하게 된다. 즉, 제1 다이오드(D261)는 과전압과 과전류로부터 제1 스위치(S1)를 보호하게 된다. 제2 다이오드(D262)는 제1 스위치(S1)의 바디 다이오드의 전류부담율을 줄이고 제1 스위치(S1)의 저항값을 줄임으로써 제1 스위치(S1)의 발열을 줄이게 된다.

제1 및 제2 다이오드(D261,D262)는 전술한 실시예들에도 적용되어 각 스위치소자에 인가되는 전류 부담률을 줄이고, 과전압과 과전류로부터 각 스위치소자를 보호할 수 있다. 도 28을 참조하면, 본 발명의 제15 실시예에 따른 에너지 회수회로는 페루프를 형성하도록 접속된 캐패시터(Css), 제1 인덕터(L271), 제2 인덕터(L272), 제1 스위치(S271) 및 제5 스위치(S275)와, 캐패시터(Css)와 제1 인덕터(L271) 사이에 접속된 제1 다이오드(D271)와, 제2 인덕터(L272)와 제4 노드(n4) 사이에 접속된 제2 다이오드(D272)와, 제2 노드(n2)를 경유하여 패널 캐패시터(Cp)에 접속된 제2 내지 제4 스위치(S272 내지 S274) 및 제6 스위치(S276)와, 제6 스위치(S276)와 서스테인 전압원(Vs) 사이에 접속된 저항(R271)과, 제4 노드(n4)와 서스테인 전압원(Vs) 사이에 접속된 제3 다이오드(D273)와, 제1 노드(n1)에 접속됨과 아울러 서스테인 전압원(Vs)과 제3 스위치(S273) 사이의 제3 노드(n3)에 접속되는 제4 다이오드(D274)와, 기저전압원(GND)과 제1 노드(n1) 사이에서 제1 스위치(S271)에 병렬 접속된 제5 다이오드(D275)와, 제1 노드(n1)와 제2 노드(n2) 사이에 접속된 제6 다이오드(D276)를 구비한다.

제2 인덕터(L272)의 인덕턴스는 제1 인덕턴스(L271)의 그것에 비하여 크게 설정된다.

제1 다이오드(D271)와 제2 다이오드(D272) 각각은 제2 인덕터(L272)를 경유하는 회수패스와 제1 인덕터(L271)를 경유하는 충전패스를 분리시키게 된다. 제1 스위치(S1)는 온(On) 상태에서 캐패시터(Css)의 일측 단자로부터 제1 다이오드(D271), 제1 인덕터(L271), 제5 및 제1 스위치(S275,S271)를 경유하여 캐패시터(Css)의 타측 단자로 이어지는 전류페루프를 형성하게 된다. 이 페루프에서 캐패시터(Css)로부터 방전되는 전하에 의해 제1 인덕터(L271)에는 전류가 축적된다. 이 제1 스위치(S271)가 터 - 오프된 다음, 제1 인덕터(L271)의 전류는 최대가 됨과 동시에, 제1 인덕터(L271)의 양단에는 역전압이 유기된다. 따라서, 제1 노드(n1)에는 캐패시터(Css)의 전압과 제1 인덕터(L271)에 유기된 역전압이 더해진 승압전압이 나타나게 된다.

제2 스위치 (S272)는 제1 노드 (n1)로부터의 승압 전압을 패널 캐패시터 (Cp)에 공급함과 아울러, 패널 캐패시터 (Cp)로부터 회수되는 에너지의 전압성분을 제5 스위치 (S275)의 바디 다이오드, 제2 다이오드 (D272) 및 제2 인덕터 (L202)를 통하여 캐패시터 (Cs)에 공급하게 된다.

제3 스위치 (S273)는 패널 캐패시터 (Cp)의 전압을 서스테인 전압레벨로 유지하기 위하여 패널 캐패시터 (Cp)에 서스테인전압 (Vs)을 공급하는 역할을 한다.

제4 스위치 (S274)는 패널 캐패시터 (Cp)의 전압이 기저전압 (GND)을 유지할 수 있도록 기저전압 (GND)을 패널 캐패시터 (Cp)에 공급하게 된다.

제5 스위치 (S275)는 패널 캐패시터 (Cp)의 전압 (Vcp)이 기저전위 (GND)를 유지하여야 하는, 예를 들면 셋업기간 또는 리셋기간 등의 휴지기간에 오프되며, 그 이외의 기간에는 온/오프를 반복함으로써 에너지 회수와 충전시에 전류패스를 제공한다.

제6 스위치 (S276)는 리셋 또는 셋업기간에 턴 - 온되어 램프전압을 패널 캐패시터 (Cp)에 공급하게 된다. 제1 저항 (R271)은 램프전압의 RC 시정수의 저항값을 결정하게 된다.

제3 다이오드 (D273)는 제4 노드 (n4) 상의 전압이 자신의 문턱전압과 서스테인 전압 (Vs)의 합 이상으로 상승할 때 턴 - 온됨으로써 제5 스위치 (S275)에 인가되는 과전압과 과전류를 제한하게 된다. 제4 다이오드 (D274)는 제1 노드 (n1) 상의 전압이 자신의 문턱전압과 서스테인 전압 (Vs)의 합 이상으로 상승할 때 턴 - 온됨으로써 제1, 제2 및 제5 스위치 (S271, S272, S275)에 인가되는 과전압과 과전류를 제한하게 된다.

제5 다이오드 (D275)는 제1 스위치 (S271)의 바디 다이오드의 전류부담율을 줄이고 제1 스위치 (S271)의 저항값을 줄임으로써 제1 스위치 (S271)의 발열을 줄이게 된다. 도 28에 도시된 에너지 회수회로의 동작을 도 29를 결부하여 설명하면 다음과 같다. 도 29에 있어서, 제6 스위치 (S276)는 리셋 또는 셋업기간에만 온 상태를 유지하므로 제6 스위치 (S276)에 대한 동작 과정은 생략되어 있다.

t0 시점에, 제1, 제4 및 제5 스위치 (S271, S274, S275)는 턴 - 온된다. 이어서, t1 시점과 t2 시점에서 제4 스위치 (S274)와 제1 스위치 (S271)는 순차적으로 턴 - 오프된다. t2와 t3 사이의 t2' 시점에, 제1 인덕터 (L271)는 최대전류까지 충전됨과 동시에 제1 인덕터 (L271)에 역전압이 유기된다. 이렇게 유기된 제1 인덕터 (L271)의 역전압과 캐패시터 (Cs)의 전압이 더해진 승압전압이 제5 스위치 (S275)와 제2 스위치 (S272)의 바디 다이오드를 경유하여 패널 캐패시터 (Cp)로 공급되기 시작한다. t3 시점에서, 제3 스위치 (S273)는 턴 - 온된다. 그러면 제3 스위치 (S273)를 경유하여 서스테인전압 (Vs)이 패널 캐패시터 (Cp)에 공급되어 패널 캐패시터 (Cp)의 전압레벨은 서스테인전압레벨로 유지된다. 이 서스테인전압레벨에서 패널의 셀 내에 형성된 전극들에는 방전이 일어나게 된다.

t4 시점에서 제3 스위치 (S273)가 턴 - 오프된 후에, t5 시점에 제2 스위치 (S272)는 턴 - 온되고 제5 스위치 (S275)는 턴 - 오프된다. 그러면 패널 캐패시터 (Cp)로부터 방전되는 방전에 기여하지 않은 에너지 즉, 무효전력의 전압성분은 제2 스위치 (S272), 제5 스위치 (S275)의 바디 다이오드, 제2 다이오드 (D272) 및 제2 인덕터 (L272)를 경유하여 캐패시터 (Cs)에 회수된다. t6 시점에 제4 스위치 (S274)는 턴 - 온된다. 그러면, 패널 캐패시터 (Cp)는 기저전압 (GND)을 유지하게 된다.

본 발명의 실시예들에 따른 승압기능을 가지는 에너지 회수회로를 이용한 표시패널의 에너지 효율방법의 동작과정을 단계적으로 정리하면 도 30과 같다.

먼저, 표시패널로부터 방전에 기여하지 않은 에너지 즉, 무효전력이 회수되면, 회수된 무효전력을 이용하여 캐패시터 (

C_{ss})에 전압을 충전하게 된다.(S301) 캐패시터(C_{ss})로부터 방전되는 전하가 폐루프를 순환함으로써 인덕터(L)에 전류가 충전된다.(S302 단계) 이어서, 전류패스의 절환에 의해 인덕터(L)의 전류가 최대 값이 될 때, 인덕터(L)에 역전압이 유기되어 이 역전압과 캐패시터(C_p)의 전압이 더해짐으로써 패널로부터 회수된 에너지의 전압성분이 승압된다.(S303 단계) 이렇게 승압된 전압은 패널 캐패시터(C_p)를 충전시키게 된다.(S304 단계) 패널 캐패시터(C_p)의 전압이 서스테인 전위 가까이 상승한 후에, 외부 서스테인 전압원으로부터 공급되는 서스테인 전압(Vs)에 의해 패널 캐패시터(C_p)는 서스테인 전위를 유지하게 된다.(S305 단계)

상술한 바와 같이, 본 발명에 따른 승압기능을 가지는 에너지 회수회로와 이를 이용한 에너지 효율화 방법은 에너지 회수효율을 높일 수 있음 물론, 회수된 전압 이상으로 승압된 전압을 이용하여 패널 캐패시터를 충전함으로써 종래의 에너지 회수회로에 비하여 패널 캐패시터의 충전시간을 더 짧게 하여 방전특성을 향상시킬 수 있다. 본 발명에 따른 승압기능을 가지는 에너지 회수회로와 이를 이용한 에너지 효율화 방법은 패널의 에너지 회수패스와 충전패스 상에 최소의 소자만을 설치하여 필요한 스위치소자의 수를 줄이게 되며, 종래의 에너지 회수회로에 비하여 스위치소자가 줄어드는 만큼 스위칭 손실 에너지를 줄일 수 있게 된다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

(57) 청구의 범위

청구항 1.

패널로부터 회수된 에너지의 전압성분을 승압하여 전압성분이 승압되어진 에너지를 상기 패널에 공급하기 위한 승압회로를 구비하는 에너지 회수회로.

청구항 2.

제 1 항에 있어서,

상기 승압회로와 상기 패널간의 신호패스를 절환하기 위한 스위치소자를 추가로 구비하는 것을 특징으로 하는 에너지 회수회로.

청구항 3.

제 1 항에 있어서,

상기 승압회로는,

상기 패널로부터 회수된 상기 에너지를 축적하는 캐패시터와,

상기 캐패시터로부터의 상기 에너지의 전류성분을 축적하는 인덕터와,

상기 캐패시터와 상기 인덕터간의 신호패스를 절환하기 위한 스위치소자를 구비하는 것을 특징으로 하는 에너지 회수회로.

청구항 4.

제 3 항에 있어서,

상기 캐패시터, 상기 인덕터 및 상기 스위치소자는 폐루프를 형성하도록 접속되는 것을 특징으로 하는 에너지 회수회로.

청구항 5.

제 4 항에 있어서,

상기 폐루프는 상기 패널과는 분리되게 형성되는 것을 특징으로 하는 에너지 회수회로.

청구항 6.

제 4 항에 있어서,

상기 패널로부터 회수된 상기 에너지의 전압성분은 상기 스위치소자의 절환을 통해 상기 인덕터에 유기되는 역전압에 의해서 승압되는 것을 특징으로 하는 에너지 회수회로.

청구항 7.

제 4 항에 있어서,

상기 인덕터에 전류를 축적하기 위하여 상기 폐루프가 형성되는 것을 특징으로 하는 에너지 회수회로.

청구항 8.

제 4 항에 있어서,

상기 에너지의 전압성분을 승압하기 위하여 상기 폐루프가 개방되는 것을 특징으로 하는 에너지 회수회로.

청구항 9.

제 4 항에 있어서,

상기 캐패시터에 축적된 에너지가 승압된 전압성분을 가진 상태로 상기 패널에 공급되게끔 상기 폐루프가 개방되는 것을 특징으로 하는 에너지 회수회로.

청구항 10.

제 2 항에 있어서,

상기 스위치소자는 상기 승압회로가 승압되어진 전압성분을 포함하는 상기 에너지를 상기 패널에 공급하게 하고 상기 패널로부터 상기 에너지를 회수하게 하는 것을 특징으로 하는 에너지 회수회로.

청구항 11.

제 2 항에 있어서,

서스테인 전압을 발생하는 서스테인 전압원과,

상기 서스테인 전압원으로부터 상기 서스테인 전압을 상기 패널에 공급하기 위한 제2 스위치소자를 추가로 구비하는 것을 특징으로 하는 에너지 회수회로.

청구항 12.

제 2 항에 있어서,

상기 신호패스는 상기 승압된 전압성분을 포함하는 에너지가 상기 패널쪽으로 공급되는 동안 및 상기 패널로부터 상기 에너지가 상기 승압회로쪽으로 회수되는 동안에 신호진행 방향을 한쪽 방향으로 유지하는 것을 특징으로 하는 에너지 회수회로.

청구항 13.

제 12 항에 있어서,

상기 신호패스는 상기 승압된 전압성분을 포함하는 에너지가 상기 패널쪽으로 공급되는가와 상기 패널로부터의 상기 에너지가 상기 승압회로쪽으로 회수되는가에 따라 상기 신호진행 방향이 변경되게 하는 것을 특징으로 하는 에너지 회수회로.

청구항 14.

제 2 항에 있어서,

상기 신호패스는 브릿지 다이오드를 포함하는 것을 특징으로 하는 것을 특징으로 하는 에너지 회수회로.

청구항 15.

제 3 항에 있어서,

상기 인덕터와 스위치소자 사이에 설치되어 상기 패널의 전압이 기저전위로 유지하는 동안 오프 상태를 유지하고 그 이외의 기간에는 터 - 온 및 터 - 오프를 교번하는 제2 스위치소자를 추가로 구비하는 것을 특징으로 하는 에너지 회수회로.

청구항 16.

제 2 항에 있어서,

상기 스위치소자는 바디다이오드가 내장된 트랜지스터인 것을 특징으로 하는 에너지 회수회로.

청구항 17.

제 2 항에 있어서,

상기 패널에 기저전압을 공급하기 위한 기저전압원과,

상기 기저전압원으로부터의 상기 기저전압을 상기 패널에 공급하기 위한 제2 스위치소자를 추가로 구비하는 것을 특징으로 하는 에너지 회수회로.

청구항 18.

제 3 항에 있어서,

상기 승압회로는 상기 인덕터와 다른 인덕턴스를 가짐과 아울러 상기 인덕터에 병렬 접속되어진 적어도 1이상의 다른 인덕터를 추가로 구비하는 것을 특징으로 하는 에너지 회수회로.

청구항 19.

제 18 항에 있어서,

상기 인덕터들중 인덕턴스 값이 작은 인덕터에 접속된 캐소드와 상기 캐페시터에 접속된 애노드를 가지는 제1 다이오드와,

상기 인덕터들중 인덕턴스 값이 큰 인덕터에 접속된 캐소드와 상기 스위치 소자에 접속된 애노드를 가지는 제2 다이오드를 추가로 구비하는 것을 특징으로 하는 에너지 회수회로.

청구항 20.

제 2 항에 있어서,

상기 승압회로에 접속된 애노드와 상기 패널에 접속된 캐소드를 가지는 다이오드를 추가로 구비하는 것을 특징으로 하는 에너지 회수회로.

청구항 21.

제 11 항에 있어서,

상기 승압회로와 상기 제1 스위치소자와의 접속점에 접속된 애노드와 상기 서스테인 전압원에 접속된 캐소드를 가지는 다이오드를 추가로 구비하는 것을 특징으로 하는 에너지 회수회로.

청구항 22.

제 17 항에 있어서,

상기 기저전압원에 접속된 애노드와 상기 승압회로 및 상기 제1 스위치소자와의 접속된 캐소드를 가지는 다이오드를 추가로 구비하는 것을 특징으로 하는 에너지 회수회로.

청구항 23.

제 11 항에 있어서,

미리 설정된 시정수로 상기 서스테인 전압을 요구된 기울기의 램프 전압 형태로 상기 패널에 공급하기 위한 제3 스위치 소자를 추가로 구비하는 것을 특징으로 하는 에너지 회수회로.

청구항 24.

패널로부터 제1 에너지신호를 입력받고 상기 제1 에너지신호보다 큰 제2 에너지신호를 상기 패널에 공급하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 에너지 회수회로.

청구항 25.

패널로부터 에너지를 폐루프로 회수하는 단계와,

전압성분이 승압되어진 형태로 상기 에너지를 상기 패널에 공급되게끔 상기 폐루프를 제어하는 단계를 포함하는 것을 특징으로 하는 에너지 효율화 방법.

청구항 26.

제 25 항에 있어서,

상기 에너지가 패널로부터 페루프 쪽으로 회수되어진 후 상기 페루프가 상기 패널과 전기적으로 절연되게 하는 단계를 추가로 포함하는 것을 특징으로 하는 에너지 효율화 방법.

청구항 27.

제 25 항에 있어서,

상기 페루프 제어단계는 역전압이 유기되게 하는 단계를 포함하는 것을 특징으로 하는 에너지 효율화 방법.

청구항 28.

제 27 항에 있어서,

상기 역전압 유기단계는 상기 전류가 축적되게 하는 단계를 포함하는 것을 특징으로 하는 에너지 효율화 방법.

청구항 29.

제 25 항에 있어서,

상기 페루프가 개방되는 것을 특징으로 하는 에너지 효율화 방법.

청구항 30.

제 25 항 내지 제 29 항 중 어느 한 항에 있어서,

상기 서스테인 전압을 상기 패널에 공급하는 단계를 추가로 포함하는 특징으로 하는 에너지 효율화 방법.

청구항 31.

제 25 항 내지 제 29 항 중 어느 한 항에 있어서,

상기 기저전압을 상기 패널에 공급하는 단계를 추가로 포함하는 것을 특징으로 하는 에너지 효율화 방법.

청구항 32.

제 25 항 내지 제 29 항 중 어느 한 항에 있어서,

서스테인 전압을 요구된 기울기의 램프 전압 형태로 상기 패널에 공급하는 단계를 추가로 포함하는 것을 특징으로 하는 에너지 효율화 방법.

청구항 33.

패널로부터 에너지를 회수하는 단계와,

상기 회수된 에너지의 전압성분을 승압하는 단계와,

상기 전압성분이 승압된 상기 에너지를 상기 패널에 공급하는 단계를 포함하는 것을 특징으로 하는 에너지 효율화 방법.

청구항 34.

제 33 항에 있어서,

상기 전압성분 승압단계는 페루프를 이용하는 것을 특징으로 하는 에너지 효율화 방법.

청구항 35.

제 34 항에 있어서,

상기 에너지가 패널로부터 페루프 쪽으로 회수되어진 후 상기 페루프가 상기 패널과 전기적으로 절연되게 하는 단계를 추가로 포함하는 것을 특징으로 하는 에너지 효율화 방법.

청구항 36.

제 33 항에 있어서,

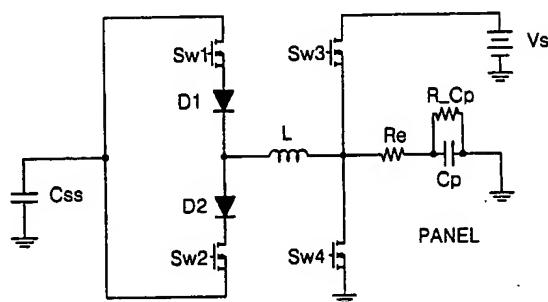
상기 전압 승압 단계는,

상기 회수된 에너지에 포함된 전류성분이 축적되게끔 순환시키는 단계와,

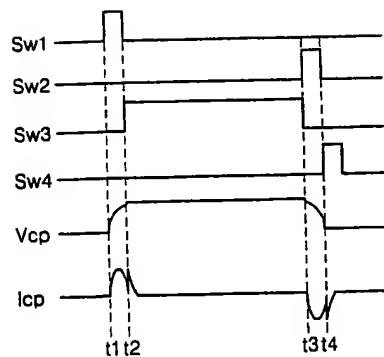
상기 회수된 에너지와 함께 상기 축적되어진 전류성분을 전압성분의 형태로 상기 패널에 공급하는 단계를 포함하는 것을 특징으로 하는 에너지 효율화 방법.

도면

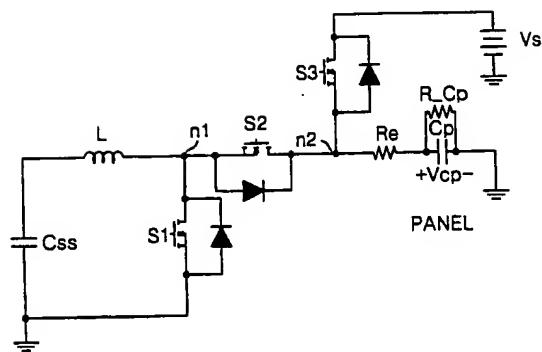
도면 1



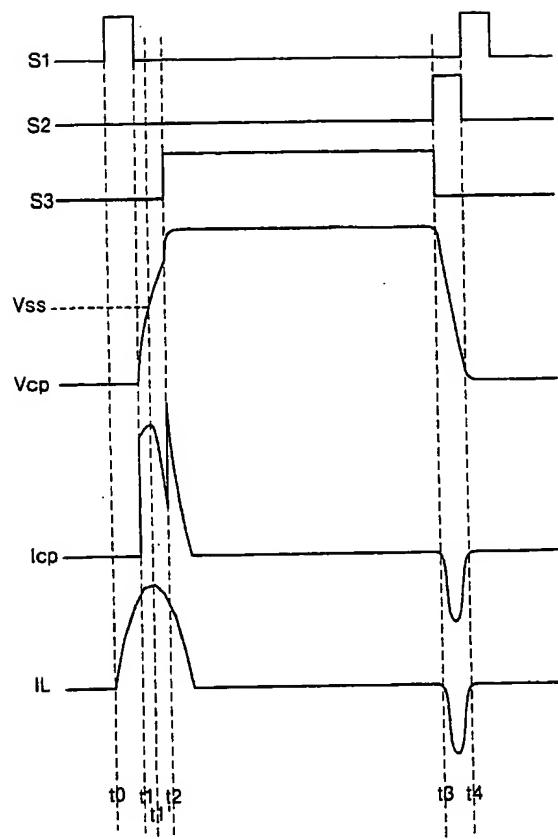
도면 2



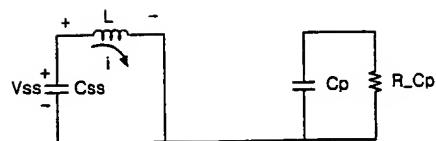
도면 3



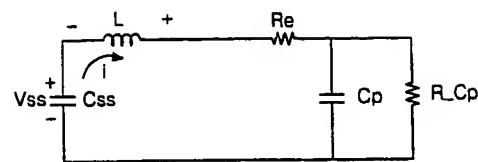
도면 4



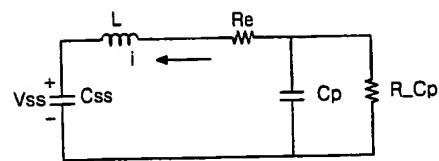
도면 5



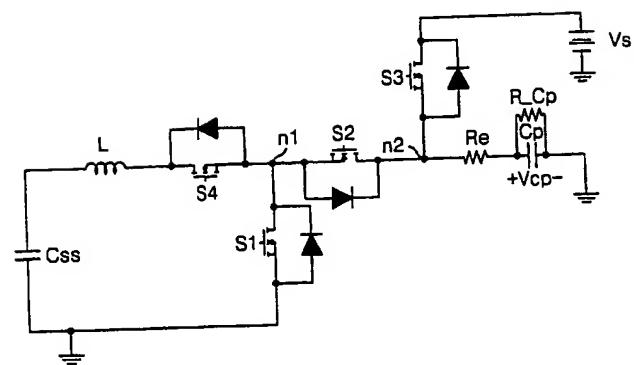
도면 6



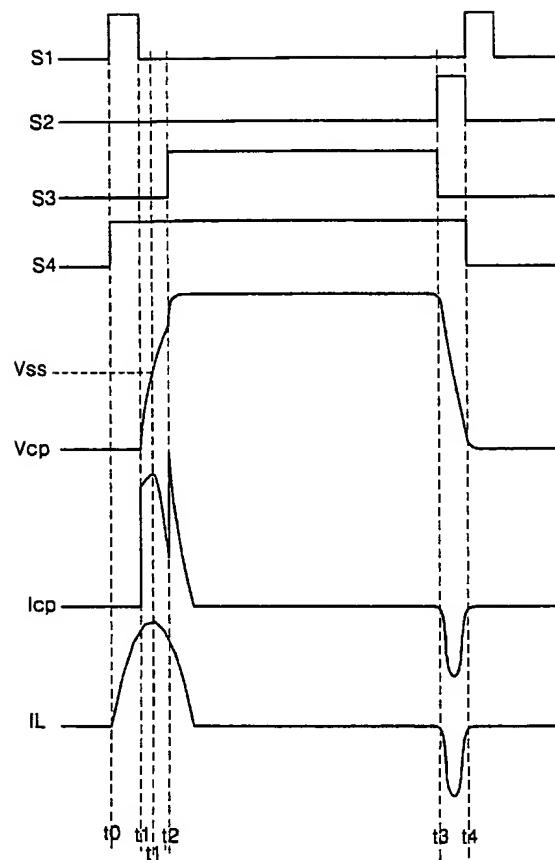
도면 7



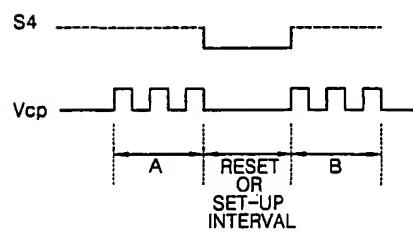
도면 8



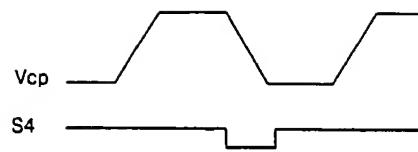
도면 9



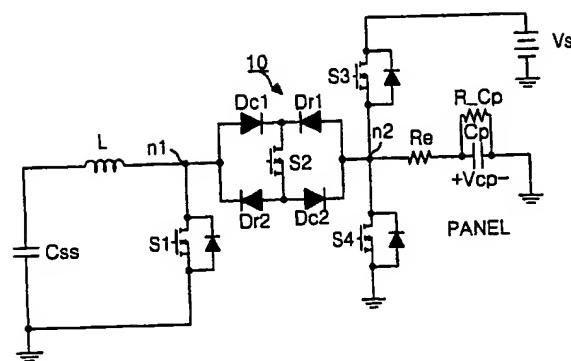
도면 10a



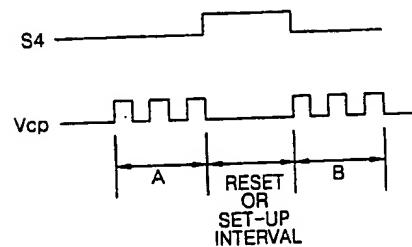
도면 10b



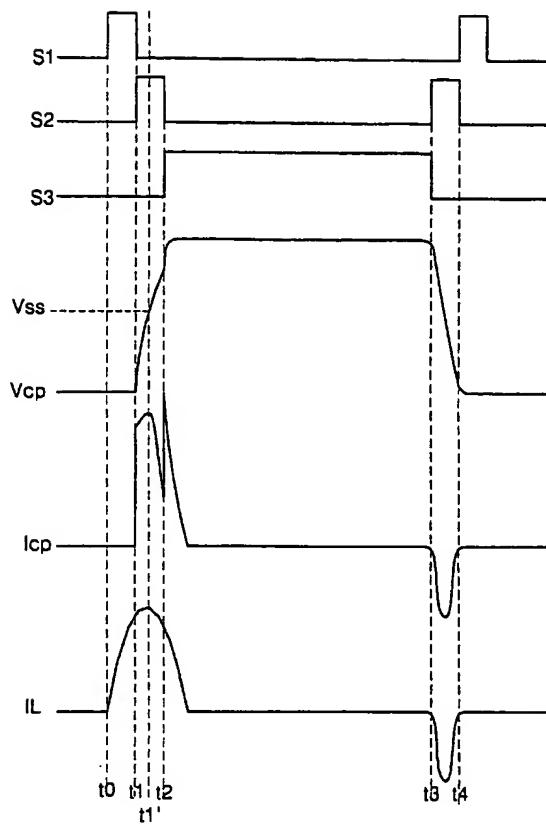
도면 11



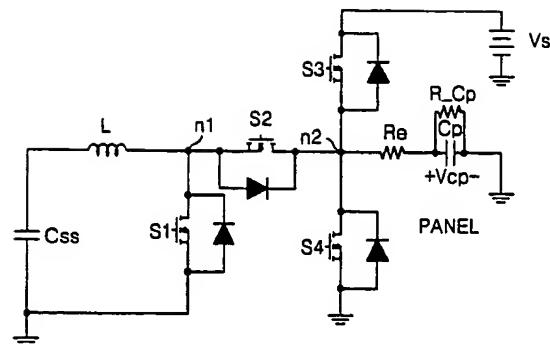
도면 12



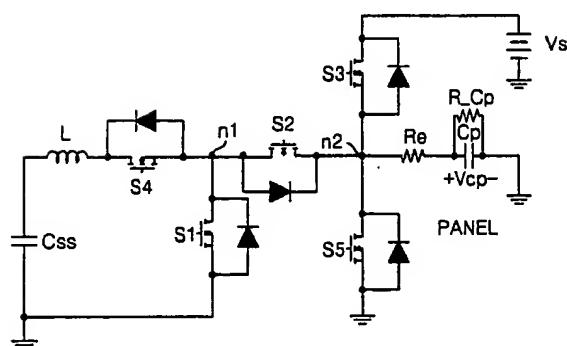
도면 13



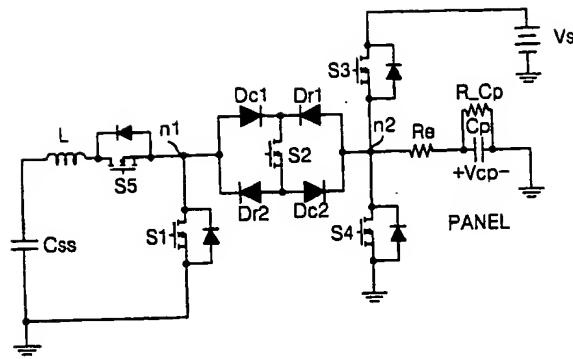
도면 14



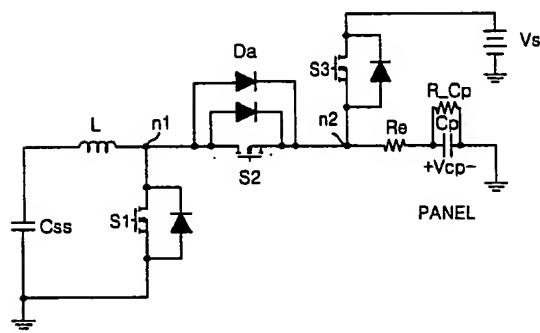
도면 15



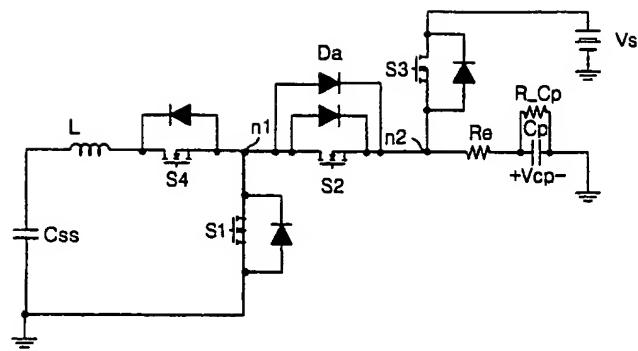
도면 16



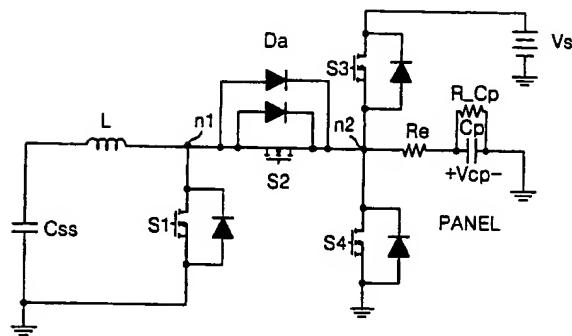
도면 17



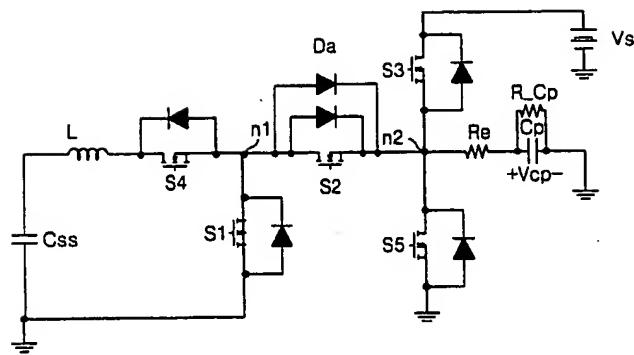
도면 18



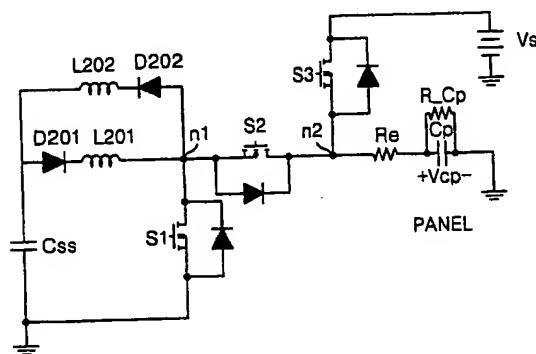
도면 19



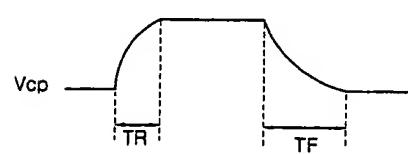
도면 20



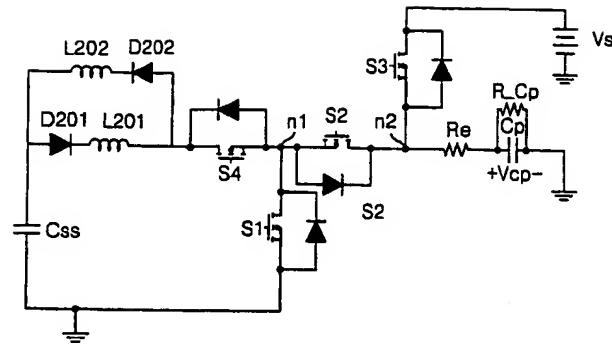
도면 21



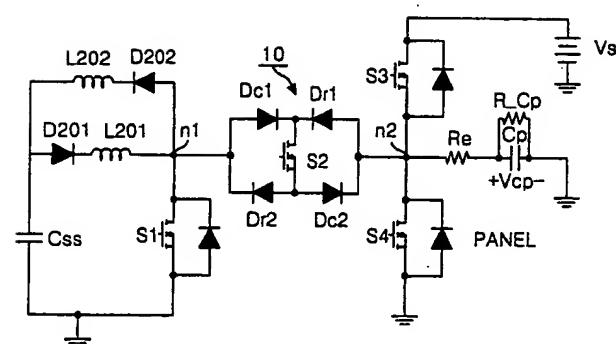
도면 22



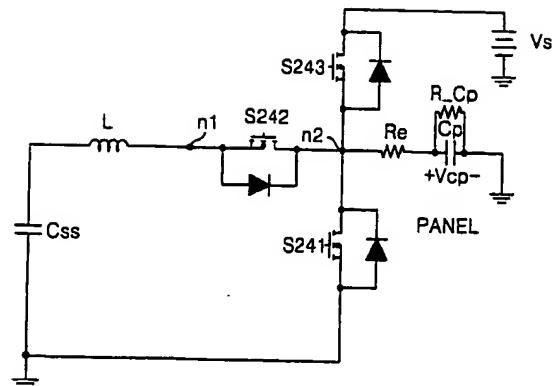
도면 23



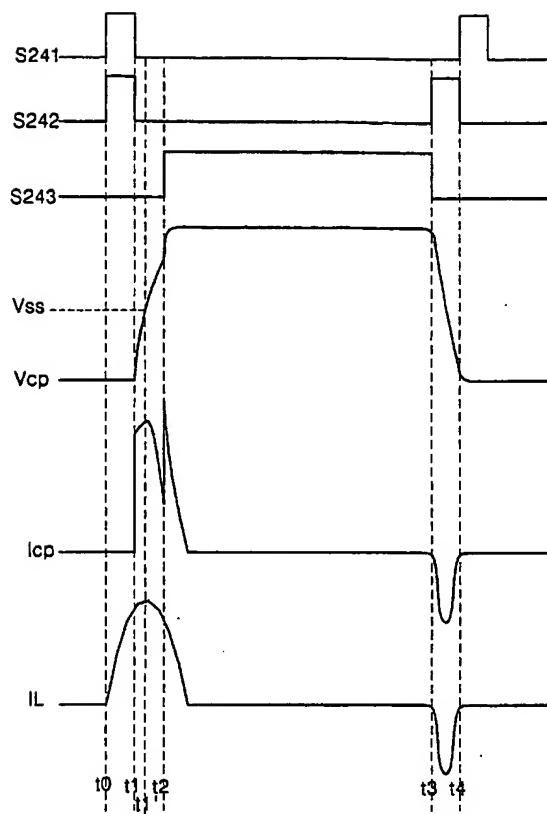
도면 24



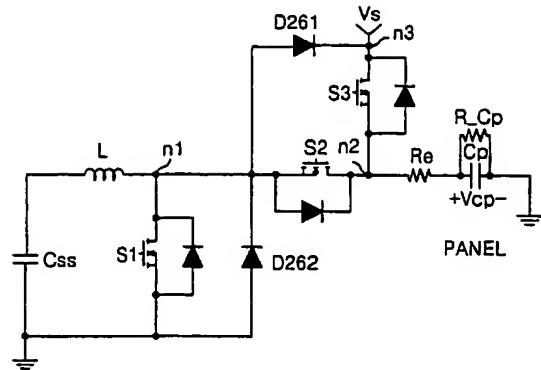
도면 25



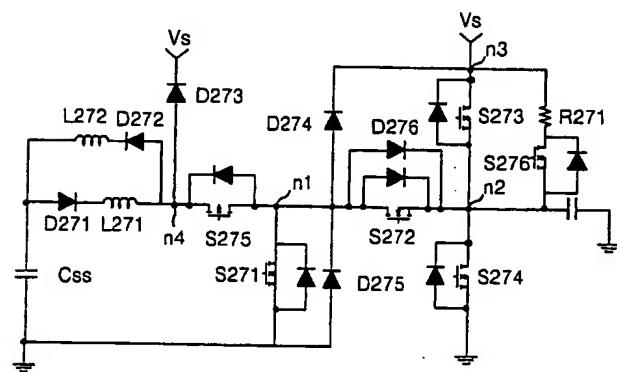
도면 26



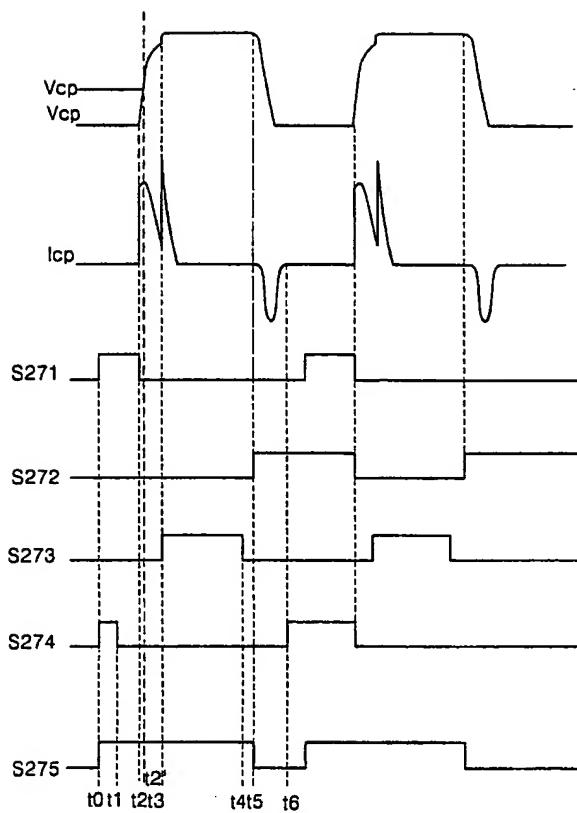
도면 27



도면 28



도면 29



도면 30

